



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 4月27日

出 願 番 号

Application Number:

特願2001-131171

出 願 人

Applicant(s):

キヤノン株式会社

2001年 5月31日

Commissioner,
Japan Patent Office

及 川 耕 造

【書類名】 特許願

【整理番号】 4463027

【提出日】 平成13年 4月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01J 7/00

【発明の名称】 半導体装置とその製造方法、放射線検出装置とそれを用いた放射線検出システム

【請求項の数】 36

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 望月 千織

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 渡辺 実

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100065385

【弁理士】

【氏名又は名称】 山下 穰平

【電話番号】 03-3431-1831

【出願番号】 特願2001-131171

【出願日】 平成12年 5月 8日

【手数料の表示】

【予納台帳番号】 010700

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703871

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法、放射線検出装置とそれを用いた放射線検出システム

【特許請求の範囲】

【請求項 1】 基板上に複数の機能素子が構成されている半導体装置において、前記基板の周囲に該基板の切断用のスライスラインが設けられ、該スライスラインと前記機能素子との間に周囲配線を有する半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、前記周囲配線は前記基板の切断の良否をチェックするための配線である半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、前記周囲配線は一定電位に接続されている半導体装置。

【請求項 4】 請求項 3 記載の半導体装置において、前記一定電位は接地電位である半導体装置。

【請求項 5】 請求項 1 記載の半導体装置において、前記周囲配線は導電検査のためのパット部を有している半導体装置。

【請求項 6】 請求項 1 記載の半導体装置において、前記周囲配線は、前記機能素子の駆動配線、もしくは信号配線に接続されている半導体装置。

【請求項 7】 請求項 1 記載の半導体装置において、前記基板上に機能素子として T F T 素子と光電変換素子が構成されており、前記周囲配線は、該光電変換素子のバイアス配線と接続されている半導体装置。

【請求項 8】 請求項 6 記載の半導体装置において、前記基板上に機能素子として T F T 素子と光電変換素子が構成されており、前記周囲配線は、該光電変換素子のバイアス配線と接続されている半導体装置。

【請求項 9】 請求項 1 記載の半導体装置において、前記基板は絶縁性である半導体装置。

【請求項 10】 請求項 1 記載の半導体装置において、前記周囲配線は、前記機能素子の駆動配線、もしくは信号配線に接続されている半導体装置。

【請求項 11】 請求項 10 記載の半導体装置において、前記波長変換体は、前記機能素子のバイアス配線と接続されている半導体装置。

【請求項 1 2】 基板上に複数の機能素子が構成されている半導体装置において、前記基板の周囲に基準電圧源に接続された周囲配線を有する半導体装置。

【請求項 1 3】 請求項 1 2 記載の半導体装置において、前記周囲配線は前記基板の切断の良否をチェックするための配線である半導体装置。

【請求項 1 4】 請求項 1 2 記載の半導体装置において、前記周囲配線が接地電位に保持されている半導体装置。

【請求項 1 5】 請求項 1 2 記載の半導体装置において、前記周囲配線は導電検査のためのパット部を有している半導体装置。

【請求項 1 6】 請求項 1 2 記載の半導体装置において、前記周囲配線は、前記機能素子の駆動配線または、信号配線に接続されている半導体装置。

【請求項 1 7】 請求項 1 2 記載の半導体装置において、前記基板上に、前記機能素子として T F T 素子と光電変換素子が構成されており、前記周囲配線は、該光電変換素子のバイアス配線と接続されている半導体装置。

【請求項 1 8】 請求項 1 6 記載の半導体装置において、前記基板上に、前記機能素子として T F T 素子と光電変換素子とが構成されており、前記周囲配線は、該光電変換素子のバイアス配線と接続されている半導体装置。

【請求項 1 9】 請求項 1 2 記載の半導体装置において、前記基板は絶縁性である半導体装置。

【請求項 2 0】 請求項 1 2 記載の半導体装置において、前記機能素子上に波長変換体を有する半導体装置。

【請求項 2 1】 請求項 2 0 記載の半導体装置において、前記波長変換体は蛍光体である半導体装置。

【請求項 2 2】 基板上に複数の T F T（薄膜トランジスタ）により、複数の画素が構成されている T F T 基板を有する半導体装置において、

前記 T F T の駆動配線が配線抵抗 R s を介してそれぞれ接続され、

前記 T F T の駆動配線が配線抵抗 R s を介してそれぞれ接続され、

前記 T F T 基板の周囲に該 T F T 基板切断用のスライスラインを有し、

該スライスラインと前記 T F T 基板の間に周囲配線を有する半導体装置

【請求項 2 3】 請求項 2 2 記載の半導体装置において、前記周囲配線は前記基板の切断の良否をチェックするための配線である半導体装置。

【請求項 2 4】 請求項 2 2 記載の半導体装置において、前記周囲配線は基準電圧源に接続されている半導体装置。

【請求項 2 5】 請求項 2 2 記載の半導体装置において、前記周囲配線は接地電位に保持されている半導体装置。

【請求項 2 6】 請求項 2 2 記載の半導体装置において、前記周囲配線は導電検査のためのパッド部を有している半導体装置。

【請求項 2 7】 請求項 2 2 記載の半導体装置において、前記周囲配線は、前記 T F T の駆動配線または、信号配線に接続されている半導体装置。

【請求項 2 8】 請求項 2 2 記載の半導体装置において、前記周囲配線が、該光電変換素子のバイアス配線と接続されている半導体装置。

【請求項 2 9】 請求項 2 7 記載の半導体装置において、前記周囲配線が、該光電変換素子のバイアス配線と接続されている半導体装置。

【請求項 3 0】 請求項 2 2 記載の半導体装置において、前記配線抵抗 R_s が T F T 駆動用ドライバと前記 T F T の駆動電極間の抵抗を R_o とすると、 $R_s > 100 R_o$ である半導体装置。

【請求項 3 1】 放射線源と、
波長変換体と、
基板上に複数の T F T（薄膜トランジスタ）により、複数の画素が構成されている T F T 基板と、
前記 T F T の駆動配線が配線抵抗 R_s を介してそれぞれ接続され、
前記 T F T 基板の 1 画素は、前記 T F T と光電変換素子とから構成され、該光電変換素子のバイアス配線と前記 T F T の駆動配線が接続されており、
前記 T F T 基板の周囲に該 T F T 基板切断用のスライスラインを有し、

【請求項 3 2】 請求項 3 1 に記載の放射線検出装置を有する放射線検出システムにおいて

前記放射線検出装置からの信号を処理する信号処理手段と、
前記信号処理手段からの信号を記録するための記録手段と、
前記信号処理手段からの信号を表示するための表示手段と、
前記信号処理手段からの信号を伝送するための伝送処理手段と、を備えた放射線検出システム。

【請求項 3 3】 請求項 2 2 に記載の半導体装置の製造方法において、
前記基板を前記スライスラインによって所定のサイズに切断するステップと、
前記周囲配線の導電検査を行うステップと、
前記導電検査した後、前記 T F T 駆動用ドライバ、前記光電変換素子駆動用ドライバを実装するステップと、を備えた半導体装置の製造方法。

【請求項 3 4】 請求項 3 3 に記載の半導体装置の製造方法において、前記周囲配線を前記 T F T の駆動配線もしくは前記光電変換素子のバイアス配線と接続するステップを備えた半導体装置の製造方法。

【請求項 35】 請求項 33 に記載の半導体装置の製造方法において、前記周囲配線の導電検査を行なった後に、該周囲配線と前記 T F T の駆動配線もしくは前記光電変換素子のバイアス配線との接続部において接続を切断するステップを備えた半導体装置の製造方法。

【請求項 36】 請求項 33 に記載の半導体装置の製造方法において、前記切断後の複数の基板を貼り合わせるステップを備えた半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、基板上に複数の機能素子が構成されている半導体装置とその製造方法、放射線検出装置とそれを用いた放射線検出システムに関するものである。

【0 0 0 2】

タッチ素子として、液晶表示パネル、有機ELパネルなどの表示デバイス、更には
半導体素子と有機薄膜を用いた有機型薄膜トランジスタ

または、MIS型フォトキャパシター、TFT型光センサーなどの光電変換素子（以下、光センサー素子と称す）と組み合わせた光センサーパネルなどに広く利用されている。

【0003】

また、最近では、光センサーパネルの医療分野への応用が検討され、特に、放射線を蛍光体により、可視光に変換し、その光情報を、光センサーパネルで間接的に読み取るような、放射線撮像装置、更には、TFT素子と直接放射線を電気信号に変換する非晶質セレンなどを用いた直接型の放射線撮像装置も開発が進んでいる。

【0004】

ここで、図15にTFT素子とPIN型フォトダイオードとから構成されている光センサーパネルの等価回路を示し、また、図16にその断面の模式図を示す。図15において、符号1010はPIN型光センサー、1020はTFT、1030は信号配線、1040はTFT駆動配線、1050はPIN型光センサーのバイアス配線である。

【0005】

また、図16において、2010はガラス基板、2020はゲート配線、2030はゲート絶縁膜、2040はi型a-Si層、2050はSiN層、2060は n^+ オーミックコンタクト層、2070はソース・ドレイン電極、2080はセンサー下電極、2100、2110、2120は、それぞれ、P、I、N型a-Si層、2090はセンサー上電極、2130はSiN保護膜である。

【0006】

そして、画像情報としての入射光は、PIN型光センサー1010により光電変換され、同時に、センサー容量C1に電荷蓄積される。その後、TFT1020をオンすることにより、信号線1030とTFT駆動配線1040のクロス部

【0007】

現在、上述の光センサーパネルは、高画質化・高精細化の要求により、基板サ

イズの大型化、プロセス精度の向上が急務とされているが、膨大な設備投資が必要となり、更に、立ち上げに要する期間などを考慮すると、最良の方法とは言えないと思われる。

【0008】

そこで、従来の小型基板用の設備、装置を用いて、大面積化パネルを目指す方法として、複数のパネルを貼り合わせることで大面積化する構造の半導体装置が提案されている。

【0009】

その具体例として、図17に4枚の光センサーパネルを貼り合わせ大面積化した放射線画像読取装置の斜視図を示す。また、図18に、その模式的断面図を示す。図17において、符号3010は光センサーパネル、3020は基台、3050は放射線を可視光に変換するための蛍光板、3060はフレキシブル基板、3400はシャーシ部である。

【0010】

図18において、3010は光センサーパネル、3020は光センサーパネル3010の4枚を定位置に固定するとともに、下面に配設した電気実装部を保護するための放射線吸収用の鉛などからなる基台、3030はセンサーパネル3010と基台3020を貼り合わせるための第1の接着層、3050は放射線を可視光に変換するための蛍光板、3040は蛍光板3050をセンサーパネル3010に貼り付ける第2の接着層、3070はセンサーパネル3010の駆動用プリント基板、3060はプリント基板3070とセンサーパネル3010とを接続するためのフレキシブル基板である。

【0011】

なお、符号3200は筐体、3210は蓋、3230は電気実装部を保護するための鉛などからなるカバー、3240はプリント基板3070を固定するため

部3400が形成されている。そして、シャーシ部3400の中で、放射線センサー、蛍光板などを固定する部分によって、センサーアレイが形成されている。

【 0 0 1 2 】

【発明が解決しようとする課題】

しかしながら、上述のように、複数のパネルを貼り合わせる場合、特に、パネル間のつなぎ目の精度とそのクリアランスとが問題になる。

【 0 0 1 3 】

図 1 9 に貼り合わせパネルを模式的に描いた平面図を示す。図 2 0 には、パネルのつなぎ目の中央部を拡大した図を示す。P は画素ピッチ、P_c は隣接パネル間の画素中心から画素中心までの距離である。通常、 $P_c < 2P$ 、即ち、画素間のクリアランスを 1 画素内に収めることで、画像処理による補正を適正に行うことが可能となる。換言すれば、各光センサーパネルは、画素端より数 10 μm の位置で、パネル切断を行うことが必要となる。

【 0 0 1 4 】

このような課題を解決するには、以下の問題があり、製造上の歩留り、更には、特性上の問題まで、影響を及ぼす場合がある。

【 0 0 1 5 】

1. 光センサーパネルの切断時に、チップング、ズレなどにより、画素部まで影響が及ぼされる場合があり、組み立て後に、この信頼性に問題が残る。図 2 1 に切断部の模式的平面図を示す。図中、4 0 1 0 は画素部、4 0 2 0 は S i N 膜など保護膜、4 0 3 0 はチップングなどの欠け、4 0 4 0 は切断端面である。これから明らかなように、チップング 4 0 3 0 が保護膜 4 0 2 0 を破壊している。この結果、初期特性上、問題が無いが、高温・高湿での保存により、出力の変動が確認されている。

【 0 0 1 6 】

2. パネル組み立て時の静電気の影響で、画素破壊が発生する。通常、ガラス基板などの絶縁材料は、真空チャックステージでの剥離帯電、エアブローなど

により、帯電し、付着する。特に、コーナー部は、その傾向が強く、歩留りの低下を引き起こしている。

【 0 0 1 7 】

3. パネル組み立て時のハンドリングなどで、静電気が2～3 k V蓄積され切断面、特に、コーナー部で、1画素が破壊する場合がある。

【 0 0 1 8 】

【課題を解決するための手段】

本発明は、上記の問題を解決するものであり、大面積パネル、または、パネル周辺部のスペースを極小化した、狭額縁パネルの製造を、安定に且つ高歩留りで可能とするような、構成の半導体装置を提供することを目的としている。

【 0 0 1 9 】

即ち、本発明の第1の目的は、貼り合わせパネルを、精度良く切断し、貼り合わせるために、切断の良否を判定するスライスチェック配線を設け、且つ、信頼性が確保される位置に配し、切断時のチップングなどによる保護膜などの破損を電氣的にチェックして、組み立て後の信頼性を確保することにある。

【 0 0 2 0 】

また、本発明の第2の目的は、スライスチェック配線を電氣的に一定電位に固定することにより、電氣的なクロストークを抑えることである。

【 0 0 2 1 】

更に、本発明の第3の目的は、スライスチェック配線をT F Tの駆動配線、または、光センサーのバイアス配線に電氣的に接続して、静電気破壊に対する耐性を向上させると共に、スライスチェック配線を一定電位に接続することにより、帯電防止機能を持たせ、デバイスの安定性と信頼性を確保することにある。

【 0 0 2 2 】

このため、本発明では、基板上に複数のT F T（薄膜トランジスタ）により複数の画素が構成されているT F T基板を有する半導体装置において前記T F T基板の周囲に該T F T基板の切断用のスライスラインが設けられ、該スライスライ

この場合、本発明の実施の形態として、前記周囲配線が、前記T F Tの少なくとも1本の駆動配線、または、1本のバイアス配線に接続されていること、または、前記T F T基板の

の 1 画素は、T F T 素子と光電変換素子とから構成されており、前記周囲配線は、該光電変換素子のバイアス配線と電氣的に接続されていることが有効である。

【 0 0 2 4 】

【発明の実施の形態】

以下本発明を図面を参照して更に詳細に説明する。

【 0 0 2 5 】

(第 1 の実施形態)

本発明の第 1 の実施形態として、T F T 素子と M I S 型光センサーとから構成されている放射線画像読み取り装置に適用した半導体装置について説明する。ここで、図 1 に、本実施形態の等価回路が示す。図中、符号 1 1 は T F T 駆動用ドライバ、1 2 は信号処理増幅器、1 3 は M I S 型光センサーの駆動用ドライバである。また、C 1 1 ~ C 3 5 は、M I S 型光センサー、T 1 1 ~ T 3 5 は T F T 、V g 1 ~ V g 3 は T F T 駆動配線、S i g 1 ~ S i g 5 は信号配線、V s 1 , V s 2 はバイアス配線である。

【 0 0 2 6 】

M I S 型光センサー C 1 1 ~ C 3 5 は、駆動用ドライバ 1 3 からバイアス配線 V s 1 、V s 2 に印加される光信号を受けるもので、ここでの光信号は、M I S 型光センサーに、その電荷を蓄積される。蓄積された電荷は、順次、信号線 S i g 1 ~ S i g 5 から信号処理増幅器を介して、T F T (T 1 1 ~ T 3 5) により、読み出される。また、T F T は、T F T 駆動用ドライバ 1 1 から、T F T 駆動配線 V g 1 ~ V g 3 を介して、与えられた信号で、順次、オン／オフする。更に、S c はスライスチェック配線であり、T F T 駆動用ドライバおよび M I S 型光センサーの駆動用ドライバから接地電位を与えられている。

【 0 0 2 7 】

ここで、この実施の形態での、作製プロセスの概略を順に説明する。なお、図

(1) 図 2 の (a) に示すように、ガラス基板 1 0 1 上に、C r を、1 0 0 Å 厚さで、スパッタ法、蒸気法により成膜し、M I S 型光センサーの電極 1 0 2

2、TFTゲート電極103、および、ゲート配線104、更には、パネル切断用のスライサインおよびスライスチェック配線などを、パターニングする。

【0029】

(2) 次に図2(b)に示すように、プラズマCVD法により、窒化シリコン膜105(SiN)を、3000Å厚さで、非晶質シリコン膜106a(Si)を5000Å厚さで、オーミック層107(n^+)を1000Å厚さで、それぞれ、連続成膜し、MIS型光センサーの下電極とTFTS-D電極とを接合するためのコンタクトホール108、及び、配線引出し部などのコンタクトホールなどを、CDE法により、開口する。

【0030】

(3) 次に図2(c)に示すように、アルミニウム(Al)を1μm厚さで、スパッタリング法により成膜し、TFTS-D電極109、信号線110、光センサーのバイアス配線111を、ウエットエッチング法により形成する。

【0031】

(4) 更に図2(d)に示すように、TFTギャップ部のオーミック層(n^+)を、RIE法により除去し、TFTチャネル部112を形成する。

【0032】

(5) 更に、図2(e)に示すように、RIE法により、素子間分離を行い、保護膜として、プラズマCVD法により、窒化シリコン膜113(SiN)を、9000Å厚さで成膜し、引き出し配線部パッド部などを、RIE法により開口する。

【0033】

以上より、単一パネルが作製され、検査工程により、良品判定が行われることで、前工程が終了する。

【0034】

ラインに従って、所定のサイズに切断する。

【0035】

(7) スライスチェック配線によって導電性の検査を行う。

【0036】

(8) TAB接続、PCB接続など電氣的な実装を行い、その後、再び導電性の検査を行う。

【0037】

以上により、貼り合わせ前のモジュールが完成し、以降、後工程により、大面積パネルとして、組み立てられる。即ち、

(9) 基台にパネルを貼り合わせ、蛍光板を貼り、更に、A1シートを貼り合わせる。

【0038】

(10) 筐体に組み込み、最終検査を行う。

【0039】

以上により、放射線画像読み取り装置に用いる半導体装置が完成する。駆動用ドライバなどを接続した後には静電気破壊などの恐れは小さくなるため、ドライバの実装が終わった段階で、スライスチェック配線は切断して取り除いてもよいし、残しておいて問題にならない場合にはそのままにしてもよい。

【0040】

図3には、光センサーパネルを貼り合わせた中央部が拡大して示されている。この実施の形態での画素サイズは $160\mu\text{m}$ である。図中、画素中心とは、光センサー部の重心であり、光学的な画素中心である。その結果、隣接パネルの中心間の距離が、2画素分、即ち、 $320\mu\text{m}$ 以内の設計であれば、実際の切断、および、貼り合わせ余裕が増えることになる。これは、TFTの配置により、光センサー部の重心を貼り合わせ、中央側に配置することにより、達成可能とするものである。なお、この実施の形態では、画素領域の間の距離が、 $160\mu\text{m}$ から $188\mu\text{m}$ および $202\mu\text{m}$ に拡大可能となっている。

図4は、図3の中央部をさらに拡大した図である。図中、1はスライスイ線、2はスライスチェック配線、3はSiN保護膜、4は画素中心である。

【 0 0 4 2 】

ここでの検討には、S i N 保護膜 4 3 が画素端より $25\mu\text{m}$ の位置に配置され、また、この S i N 保護膜内にスライスチェック配線 4 2 が配置される。この幅は、高温高湿などの信頼性試験により、特性が確保できる最小幅である。また、スライスは、スライスラインを切り落とすように切断されるが、チップング、スライスズレなどにより、マージンとして、スライスライン 4 1 が S i N 保護膜端から $45\mu\text{m}$ の位置に設定されている。なお、この領域に S i N 保護膜を配していないのは、S i N 保護膜が割れ、画素まで成長することがあるためである。

【 0 0 4 3 】

次に、この実施の形態での、スライスチェックラインの使用方法について述べる。先述のように、パネル切断時に、予期せぬスライスズレ、または、チップングなどによって、S i N 保護膜が破壊する場合、同時に、スライスチェックラインも破壊される。そこで、図 1 に示した、スライスチェック配線に設けたパッド C p により、導電性のチェックを行うことで、異常が確認でき、良品組センサーパネルへの混同を避けることが可能となる。

【 0 0 4 4 】

その結果、従来、目視確認で行なっていた判定に比べて、確実に精度の高い検査を行なうことが可能となる。更に、上述のように、中工程、後工程での要所要所で、スライスチェック配線による確認を行うことにより、複数の光センサーパネルを貼り合わせた後での、不良発生を皆無とすることが可能になった。

【 0 0 4 5 】

特に、静電気などによる画素破壊は、T F T 駆動用ドライバや光電変換素子駆動用ドライバなどを電氣的に実装するまで起こりえるので、それらの実装を行なうまでは適宜行なう。

【 0 0 4 6 】

【 0 0 4 7 】

第三の実施形態

第 1 の実施形態においては、素子の駆動用回路は基板の片側に設けられていたが、高速駆動を実施するために本実施形態においては、パネルの両側に駆動回路を設けた構成を示す。ここでは 2 枚のパネルを貼り合わせる構造について述べる。図 5 は貼り合わせ構造の模式的平面図である。図中 1 0 1, 1 0 2 はセンサーパネルである。1 0 3 はアンプ IC に接続されるアンプ側引出し配線部、1 0 4 はドライバ IC に接続されるドライバ側引出し配線部である。本実施形態では、各センサーパネルはドライバ側引出し配線部をパネル両側に配置し、高速駆動を実現させている。

【 0 0 4 8 】

第 1 の実施形態と同様に、T F T 基板の周囲にスライスチェック配線を設けて、スライスラインにおいて切断した後、導電性の検査を行い不良品のチェックを行なうことが可能である。また、パネルの大きさが一枚で十分な場合には、切断後特に貼り合わせなどは行わず、一枚で両側にドライバを実装してもよい。また、画素領域をシャース部の極近傍に配置したい場合などは、センサーパネルを単独で使用し、切断部を必要とされている方向に設置する事により、よりシャース近傍からの画素読み取りが可能となる。図 6 にそれを模式的に描いた平面図を示す。1 0 5 は信号読出し回路、1 0 6 はセンサー駆動用回路、1 0 7 はシャースである。図中、端部画素部 A をシャースに近接させることが可能となり、シャース部の近傍の画像を読み取ることが可能となる。

【 0 0 4 9 】

また本実施形態においては機能素子として T F T を例として示したが、これに限られるものではなく、ダイオードや薄膜ダイオードを用いてももちろんよい。

(第 3 の実施形態)

本発明の第 3 の実施形態として、T F T 素子と M I S 型光電変換素子とから構成されている放射線画像読み取り装置に用いる半導体装置について説明する。な

ある。

【 0 0 5 0 】

本実施形態においては、光センサーのバイアス配線である V_{s1} 、 V_{s2} 配線を、互いに抵抗 R_{vs} により接続している。更に、TFT 駆動配線である $V_{g1} \sim V_{g3}$ 配線は、互いに抵抗 R_s により接続され、 V_{s1} 配線と V_{g1} 配線とは、互いに抵抗 R_v により接続されている。また、スライスチェック配線である S_c 配線は、 V_{s4} 配線と抵抗 R_{vc} とにより接続され、 V_{g1} 配線と抵抗 R_{gc} とにより接続されている。または信号配線と接続してもよい。また、図 8 に示すように TFT の駆動配線のみと接続してもよいし、図示はしないが、バイアス配線のみと接続することも可能である。

【0051】

TFT 駆動用ドライバから第 1 番目の TFT までの抵抗を R_o とし、 V_g 配線間の抵抗を R_s とすると、抵抗 R_s には、 V_g 配線に印加したオン電圧 V_{gh} が隣接ラインに影響を与えない抵抗を、設定すれば良いことになる。なお、隣接ラインはオフ電圧 V_{g1} に保持されている。

【0052】

図 9 は、上述の等価回路における電位を説明するための図である。点 a の電位 V_a が TFT のしきい値電圧 V_{th} より低ければ、隣接ラインをオフ状態に保つことができる。

【0053】

$$V_{th} > V_a = V_{g1} + (V_{gh} - V_{g1}) \times R_o / (R_s + 2R_o) \dots \dots \dots (1) \text{ 式}$$

$$R_s > R_o (V_{g1} - V_{th} - 2V_{th}) / (V_{th} - V_{g1})$$

ここで、 $V_{g1} = -5V$ 、 $V_{gh} = 15V$ 、 $V_{th} = 2V$ 、 $R_o = 100\Omega$ であるので、 $R_s > 86\Omega$ となる。

【0054】

同様に、抵抗 R_v については、光センサーのバイアス配線 V_s が光読み込み時に、 $V_{sh} = 9V$ であるから、上式の $V_{gh} - V_{g1} = 20V$ に比較すると、 V

を特性上、問題のない範囲とするならば、変動量を 1% 以下とする必要があり、抵抗 R_v は、 $R_v \geq 1000 \times R_o$ となる。その実施形態では、 $R_v \geq 1000 \times 100\Omega$

であれば良いことになる。また、 R_{vs} に関しても、光センサーのバイアス電位の変動が1%以下となるために、 $R_{vs} > 100 \times R_o$ となる。

【0055】

更に、スライスチェック配線である S_c 配線と V_{g1} 配線との接続抵抗 R_{gc} は、(1)式において、 $V_{g1} = 0V$ として計算すれば、 $R_{gc} = 550\Omega$ となる。また、 S_c 配線と V_{s4} 配線との接続抵抗 R_{vs} は、 $R_{vs} > 100 \times R_o$ であれば、光センサーのバイアス電位の変動を1%以下に抑えることが可能となる。

【0056】

なお、本実施形態では、各配線間をオーミック層(n^+)を用いて接続することが可能であり、上述の各接続抵抗値に十分余裕を持たせて、 $1M\Omega$ を標準として設定した。

【0057】

図10に V_g 配線間接続の模式的平面図を示す。同図において、51はA1配線、52はCr配線、53はコンタクトホール、54は n^+ 接続配線部である。

【0058】

V_g 配線間を n^+ 層で接続する場合、 V_g 配線は画素領域外では、配線抵抗を低減させるために、Cr配線からA1配線にコンタクトホールを介して接続されており、そのA1配線間は n^+ 層で接続されている。

【0059】

また、図10におけるA-A部の断面の模式図を図11に示す。58はガラス基板、55はゲート絶縁膜、56は半導体層、57は n^+ オーミックコンタクト層である。本実施形態では、 n^+ 層を実施形態1と同様に、 1000\AA としておりその際のシート抵抗は $100k\Omega/\square$ である。画素ピッチが $160\mu m$ であるために、10シート以上あれば、 $1M\Omega$ で接続できる。したがって、本実施形態

【0060】

次に V_g 配線とスライスチェック配線間の接続方法について説明する。図12は

はその接続形態の模式的平面図である。スライスチェック配線であるC r 配線はコンタクトホールを介してV g 配線と接続されている。図12におけるA-A部の断面の模式図を図13に示す。コンタクトホール53において、V g 配線51とスライスチェックライン52が接続される。この場合も配線抵抗が1 M Ω となるようにn⁺層が引き回されている。また導電性のチェックが終了した後は、スライスチェック配線はT F Tの駆動配線及び光電変換素子の駆動配線との接続部において切断し取り除いてもよいし、接続部の抵抗を調整することによって、素子の駆動の障害にならないような場合にはそのまま残しておいてもよい。

【0061】

また本実施形態においては機能素子としてT F Tを例として示したが、これに限られるものではなく、ダイオードや薄膜ダイオードを用いてももちろんよい。

【0062】

(第4の実施形態)

本発明の第4の実施形態として、スライスチェックラインをV s 配線と特別に抵抗を設けず接続する場合について述べる。なお、図14に本実施形態の等価回路を示す。本実施形態では、V s 4 配線とスライスチェック配線S c とを同一層で接続している。なお、異なる層間での接合により作成することも可能である。更に、V s 1 またはV s 2 配線から、S c 配線に接続することも可能である。本実施形態においても、パネルの切断を行なった後に、導電性チェック用のパッドC p において導電性のチェックを行なうことによって、不良品のチェックを行なうことができ接地電位では無いが、一定電位に固定されるため、やはり静電気破壊などから素子を守ることが可能になる。

【0063】

また本発明は液晶パネルなどの狭額縁化にあたっても有効な手段となる。液晶パネルの場合においては、例えばガラス基板を2枚用意し、該基板上に素子を形

成する。このとき、スライスチェック配線は、液晶パネルの両面から形成される。したがって、液晶パネルなどにおいてもやはり、スライスチェック配線を駆動配線に接続し、スライスチェック配線が導電性を検査することによって

不良品のチェックを行なうことができ、T F Tの制御配線とスライスチェック配線を接続することによって、静電気などによる画素破壊を防ぐことができる。また通常液晶パネルの製造工程では基板を貼り合わせて、液晶を注入しているために、導電性のチェックは基板を貼り合わせる前でもあとでもどちらでもよい。また液晶パネルにおいては必ずしもこのスライスチェック配線を同電位にする必要はない。

【 0 0 6 4 】

また本実施形態においては機能素子としてT F Tを例として示したが、これに限られるものではなく、ダイオードや薄膜ダイオードを用いてももちろんよい。

(第5の実施形態)

図22は本発明の光電変換装置のX線診断システムへの応用例を示したものである。

【 0 0 6 5 】

X線チューブ6050で発生したX線6060は患者あるいは被験者6061の胸部6062を透過し、蛍光体を上部に実装した光電変換装置6040に入射する。ただし、X線などの放射線に対して直接感応性がある物質、例えばGaAsなどを用いた装置においては特に蛍光体を設けずに放射線に感応させることも可能である。この入射したX線には患者6061の体内部の情報が含まれている。X線の入射に対応して蛍光体は発光し、これを光電変換して電気的情報を得る。この情報はデジタルに変換され信号処理手段となるイメージプロセッサ6070により画像処理され制御室の表示手段となるディスプレイ6080で観察できる。

【 0 0 6 6 】

また、この情報は電話回線6090等の伝送手段により遠隔地へ転送でき、別の場所のドクタールームなどディスプレイ6081に表示もしくは光ディスク等

することもできる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態を示す等価回路図である。

【図 2】

本発明の第 1 の実施形態の T F T、及び光電変換素子部を有するパネル部の作成プロセスの模式的断面図である。

【図 3】

本発明の第 1 の実施形態の貼り合わせパネルの模式的平面図である。

【図 4】

本発明の第 1 の実施形態のパネルのコーナー部の模式図である。

【図 5】

本発明の第 2 の実施形態のパネルの貼り合わせた際の図である。

【図 6】

本発明の第 2 の実施形態の単一のパネルを用いた際の図である。

【図 7】

本発明の第 3 の実施形態を示す等価回路図である。

【図 8】

本発明の第 3 の実施形態の他の例を示す等価回路図である。

【図 9】

本発明の第 3 の実施形態の T F T 駆動用ドライバの周辺部の電位を説明するための等価回路図である。

【図 10】

T F T の駆動配線間の接続形態を示す模式的平面図である。

【図 11】

図 10 の A - A 部における断面を示す模式図である。

【図 12】

【図 13】

図 12 の A - A 部における断面を示す模式図である。

【図 1 4】

本発明の第 4 の実施形態を示す等価回路図である。

【図 1 5】

従来の光センサーの平面図である。

【図 1 6】

従来の P I N 型光センサーの断面の模式図である。

【図 1 7】

従来の放射線画像読取装置の斜視図である。

【図 1 8】

従来の放射線画像読取装置の断面の模式図である。

【図 1 9】

貼り合わせパネルの模式的平面図である。

【図 2 0】

貼り合わせパネルのつなぎ目中央部の拡大図である。

【図 2 1】

パネル切断部の模式的平面図である。

【図 2 2】

本発明の半導体装置を X 線診断装置に応用した場合のシステム図である。

【符号の説明】

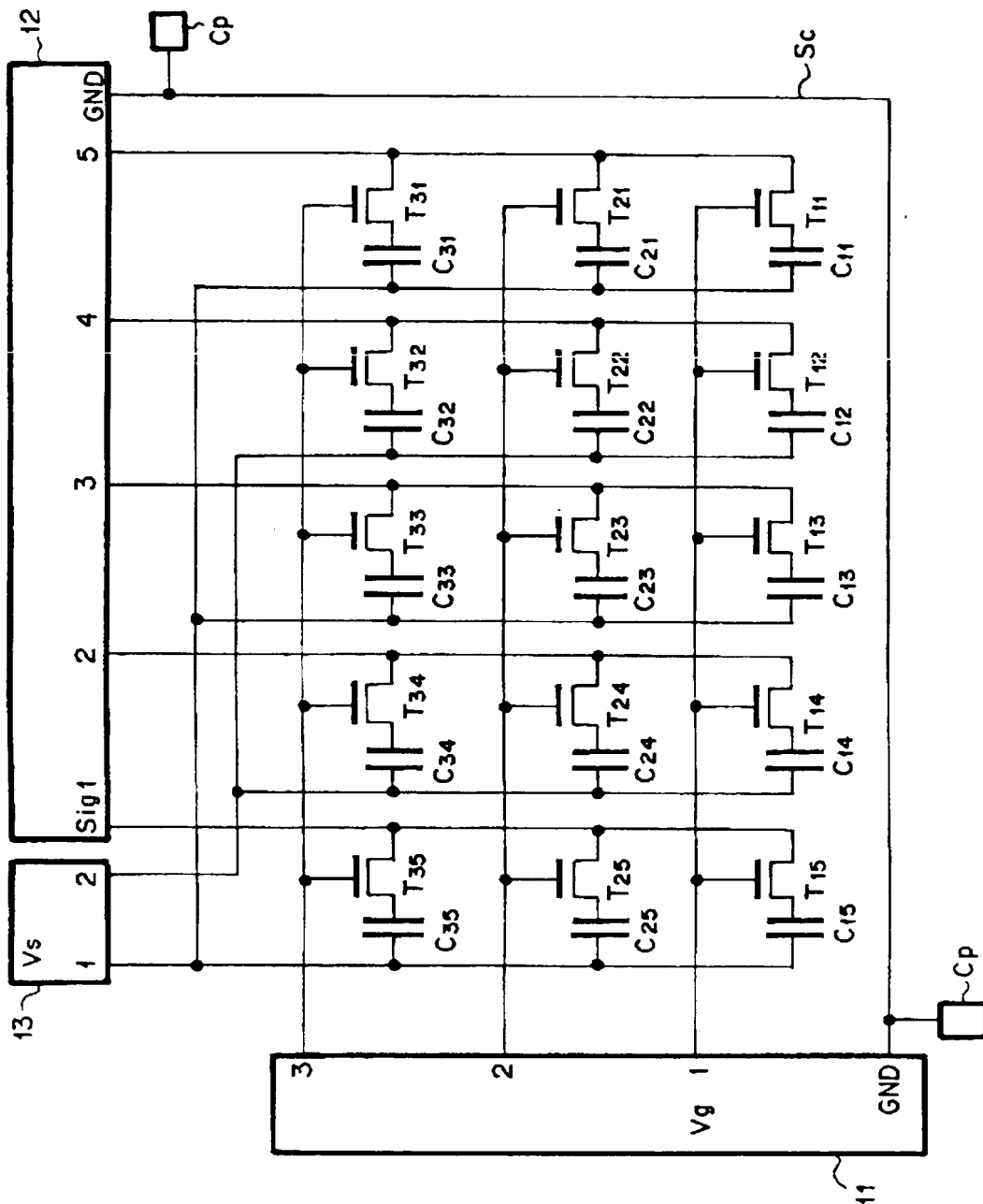
- 1 1 T F T 駆動用ドライバ
- 1 2 信号処理増幅器
- 1 3 M I S 型光センサーの駆動用ドライバ
- C 1 1 ～ C 3 5 M I S 型光センサー
- T 1 1 ～ T 3 5 T F T
- V g 1 ～ V g 3 T F T 駆動配線

（配線）

S c スライスチェック配線

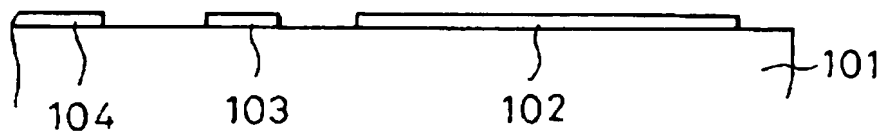
【書類名】 図面

【図 1】

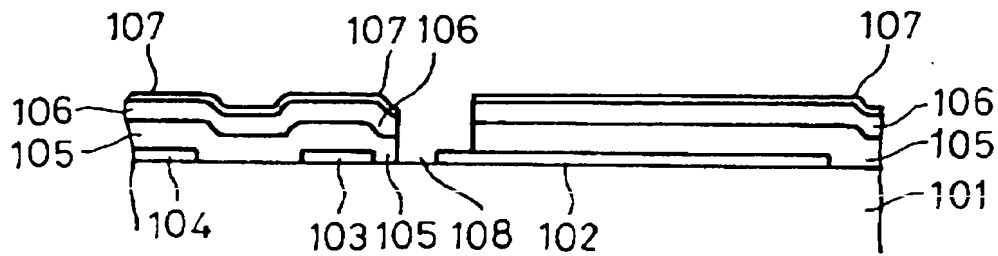


【図 2】

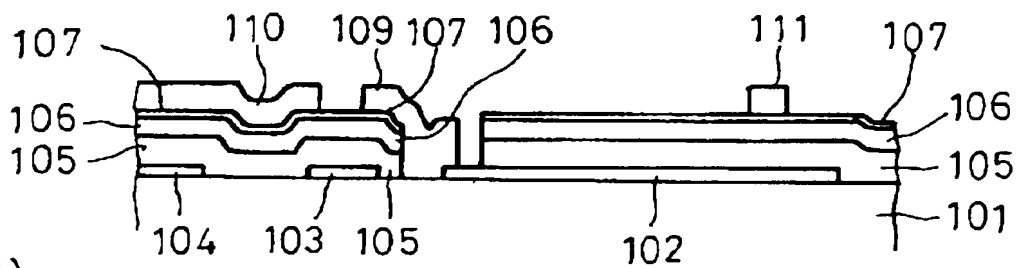
(a)



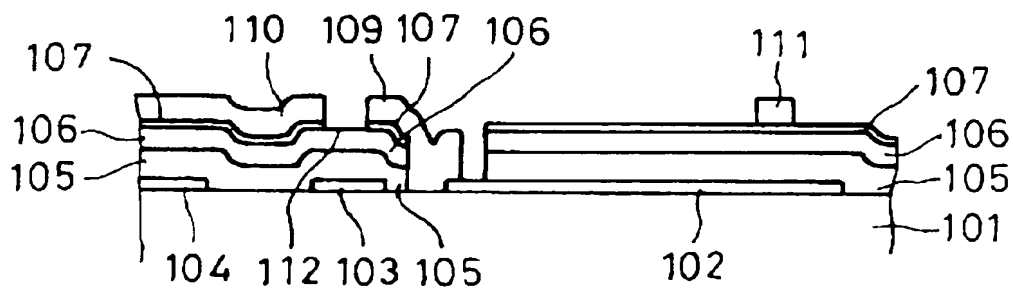
(b)



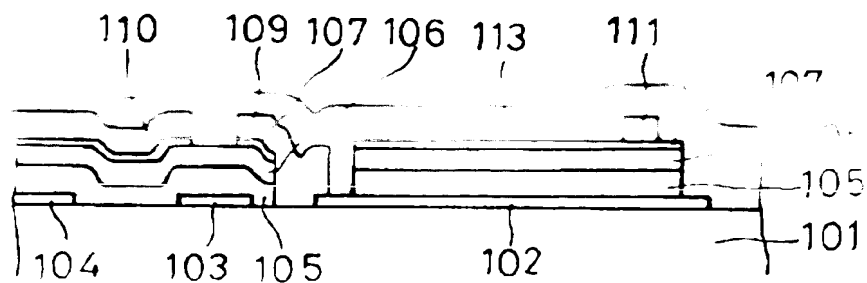
(c)



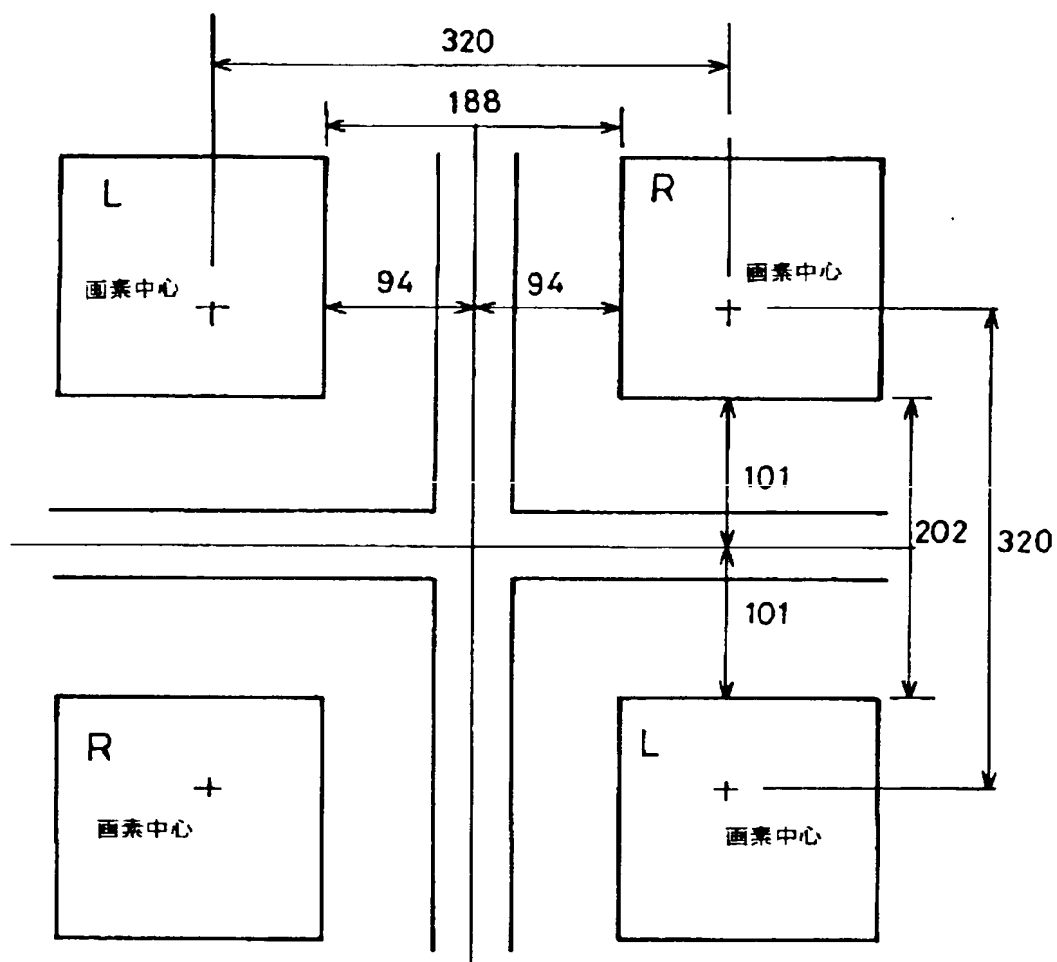
(d)



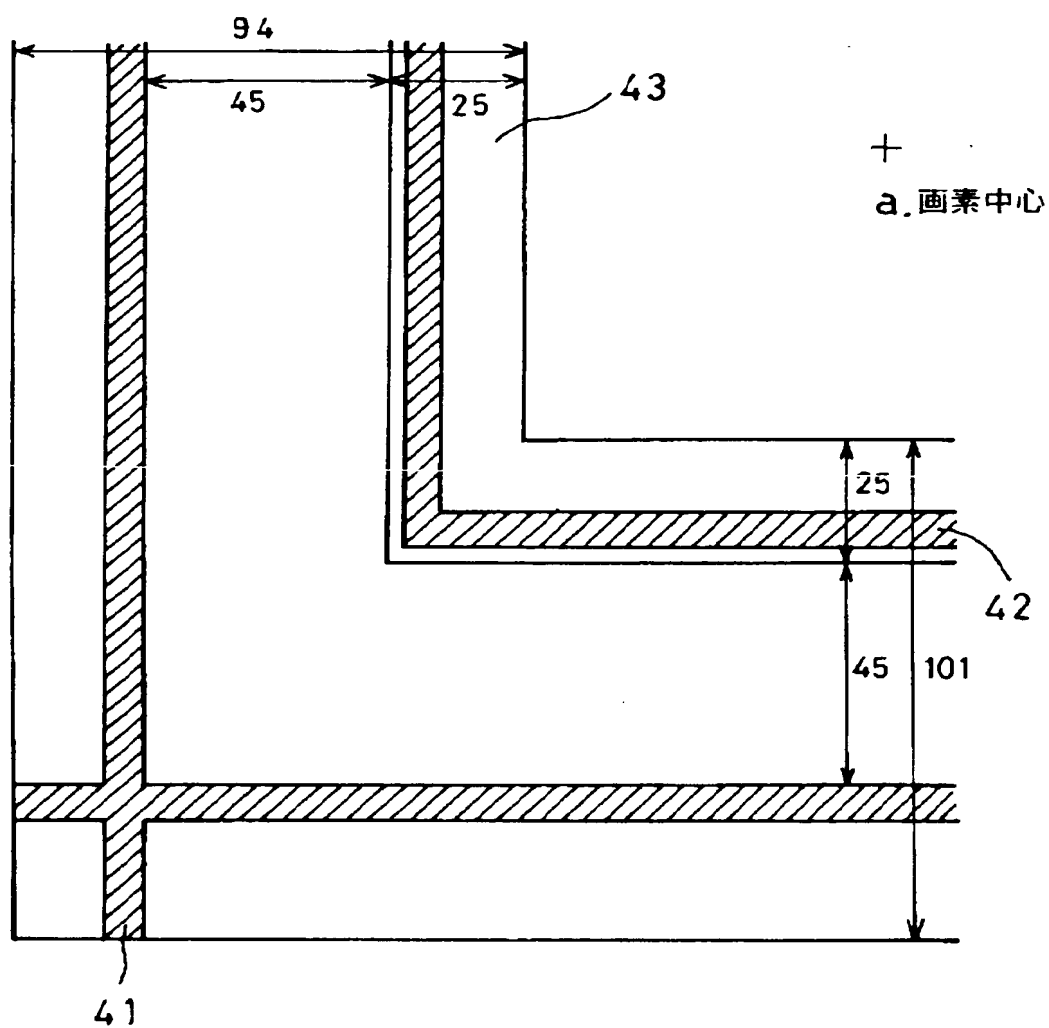
(e)



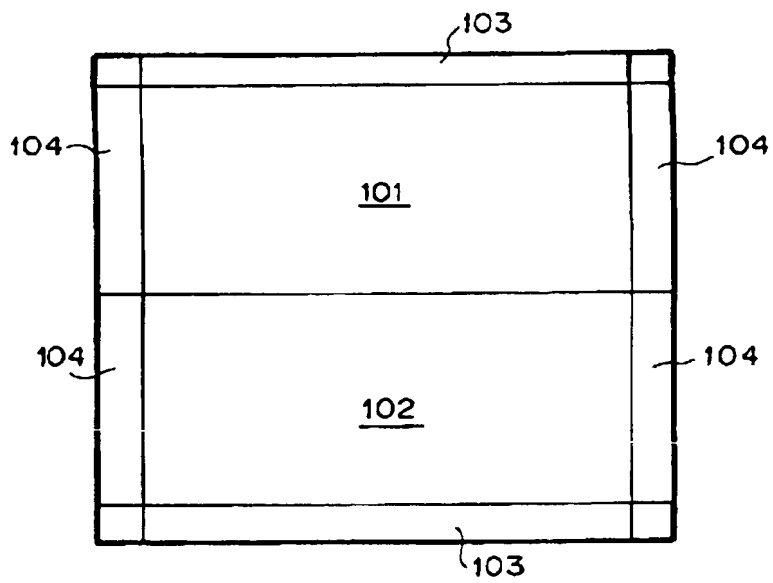
【図3】



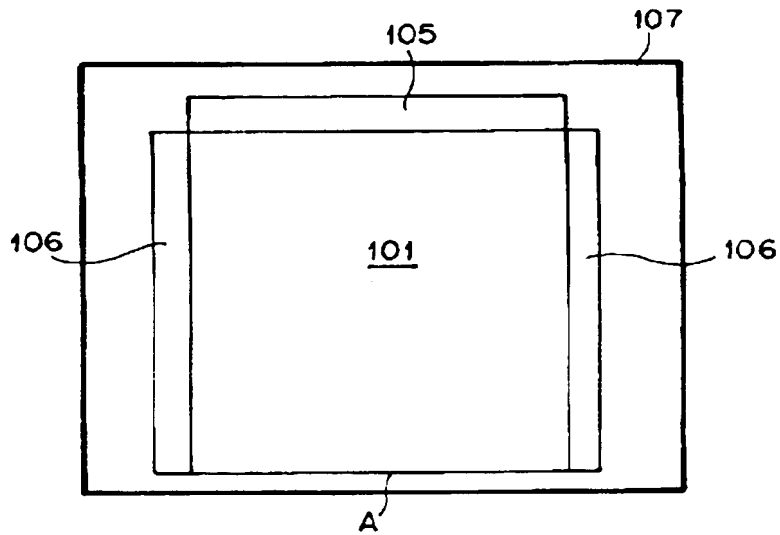
【図4】



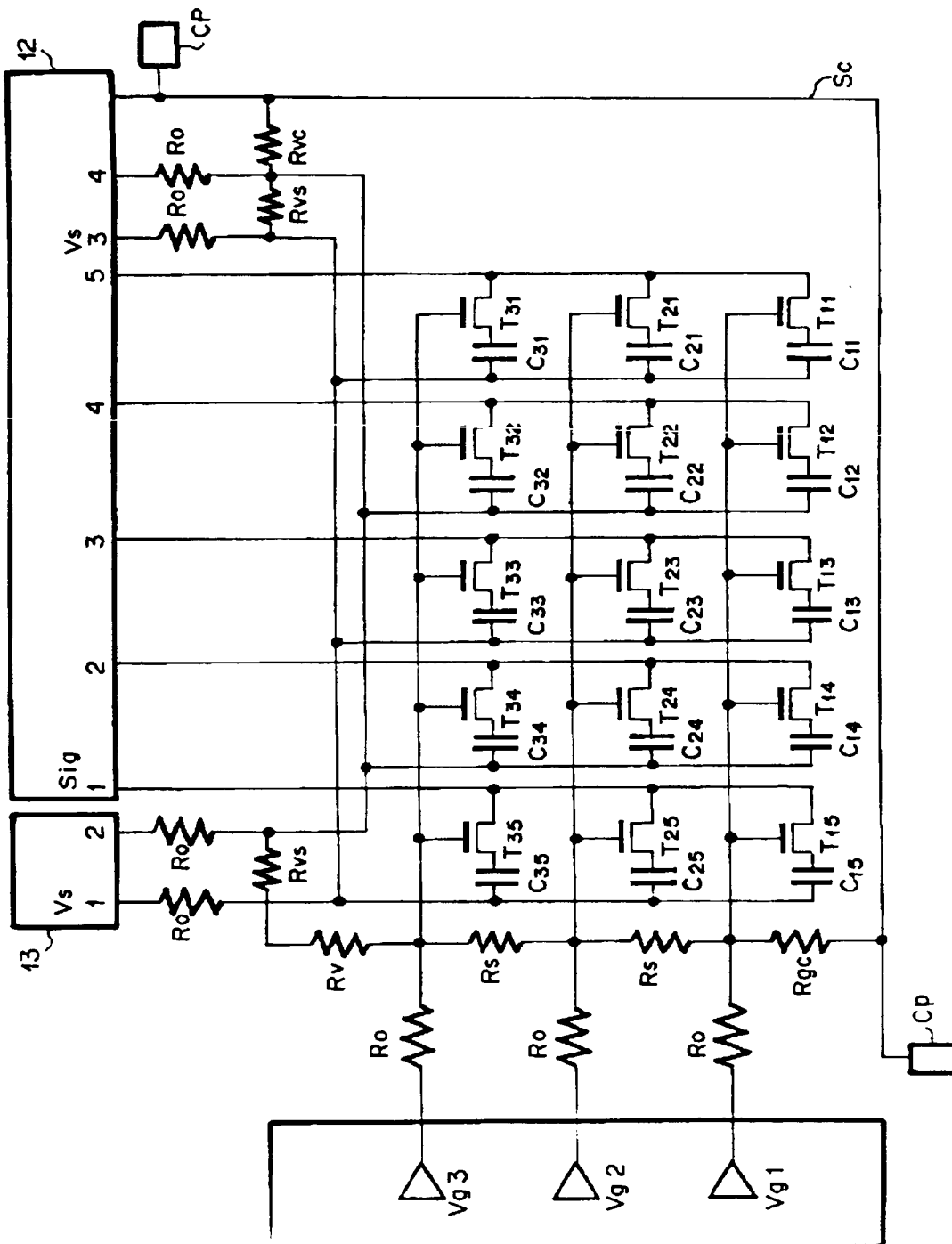
【図 5】



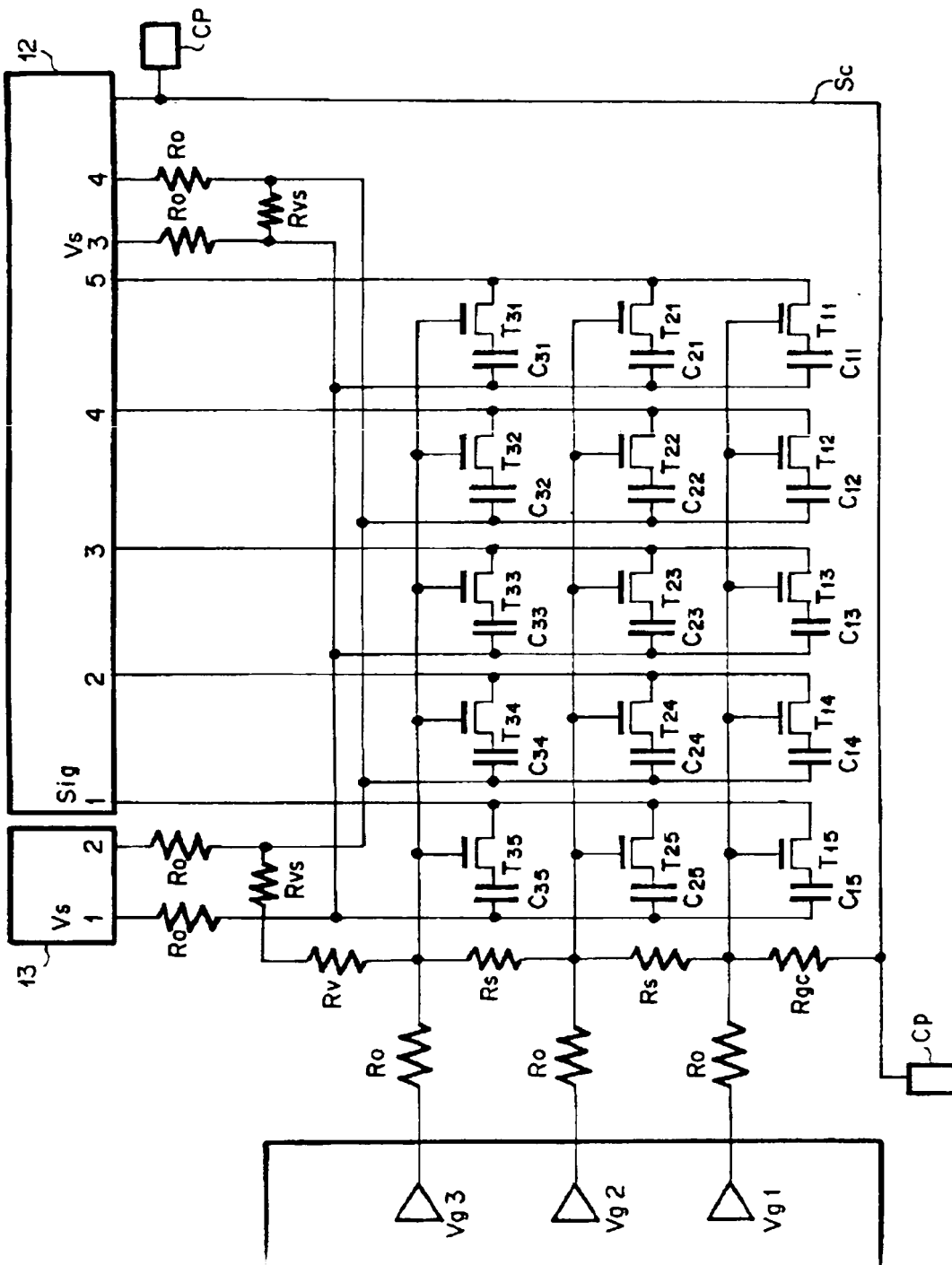
【図 6】



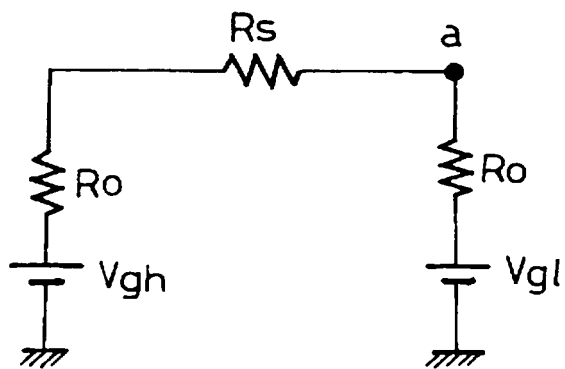
【图 7】



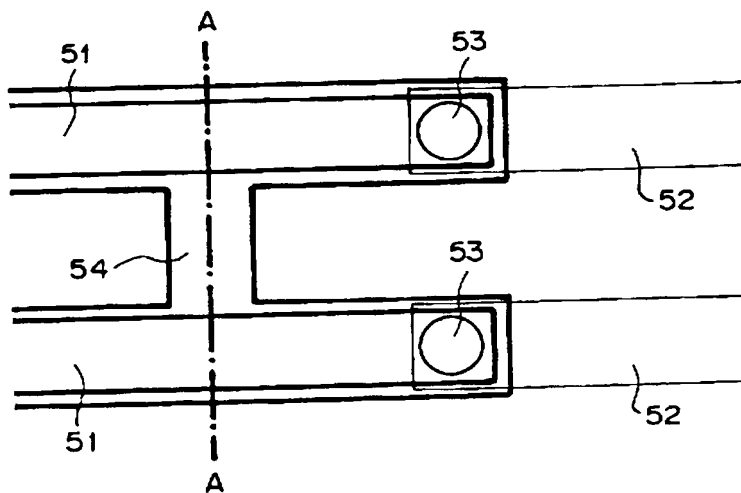
【図 8】



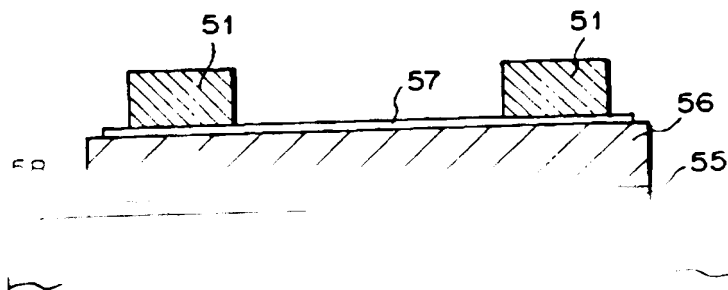
【図 9】



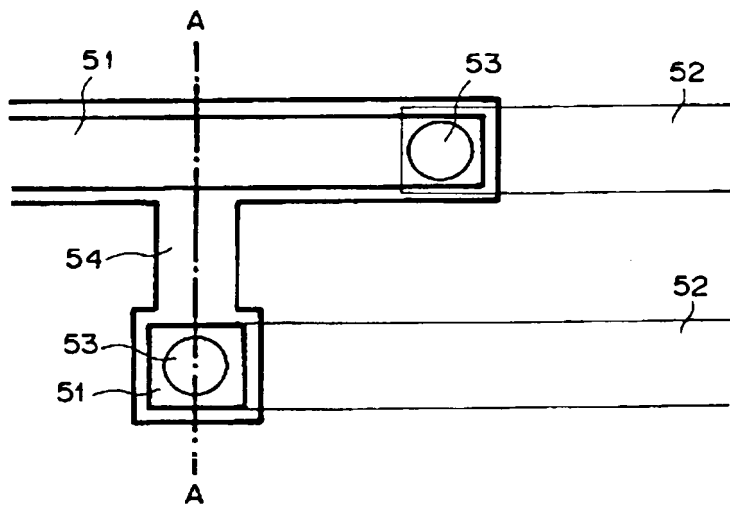
【図 10】



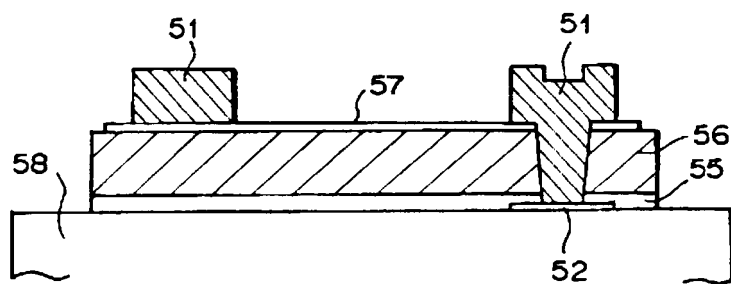
【図 11】



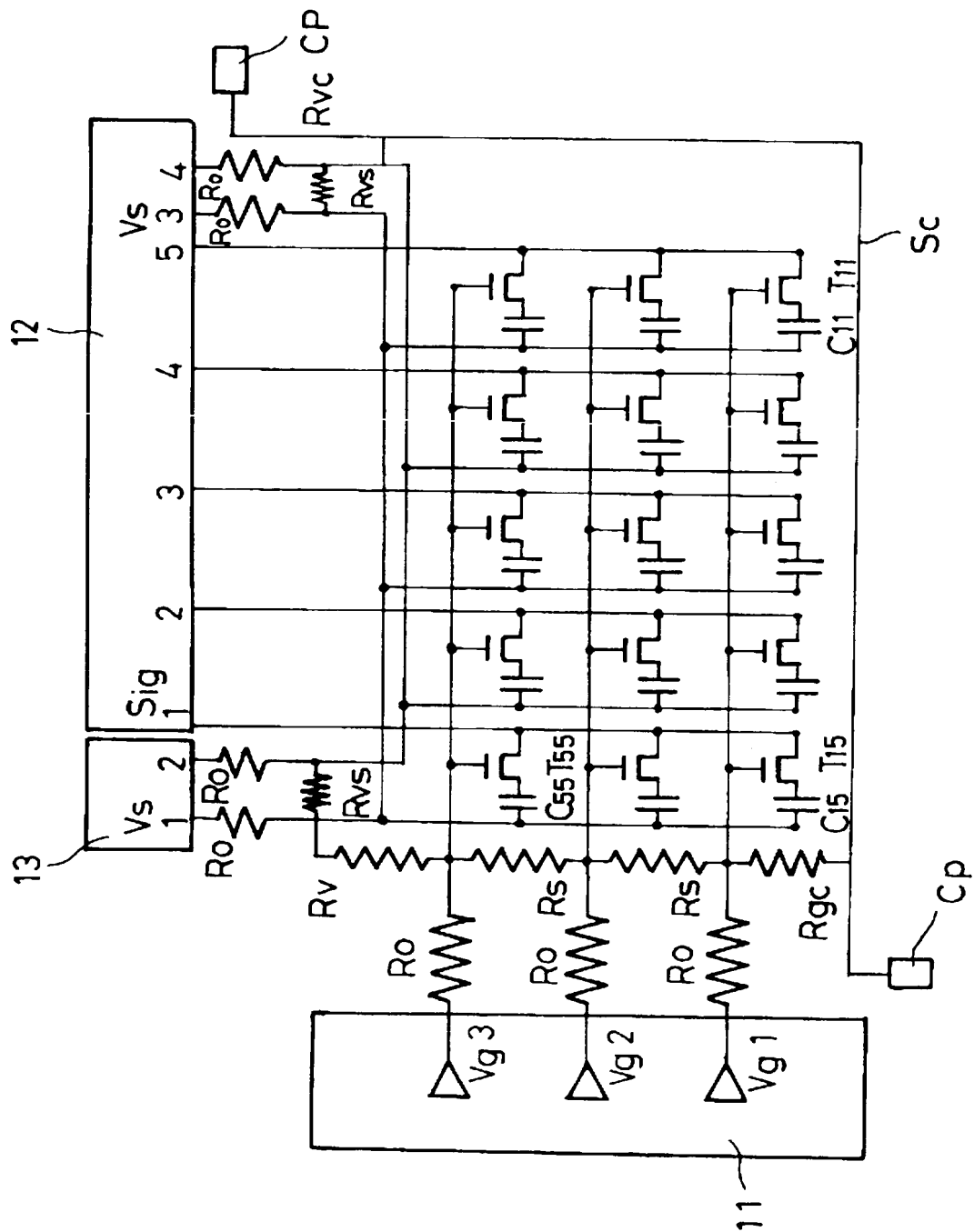
【図 12】



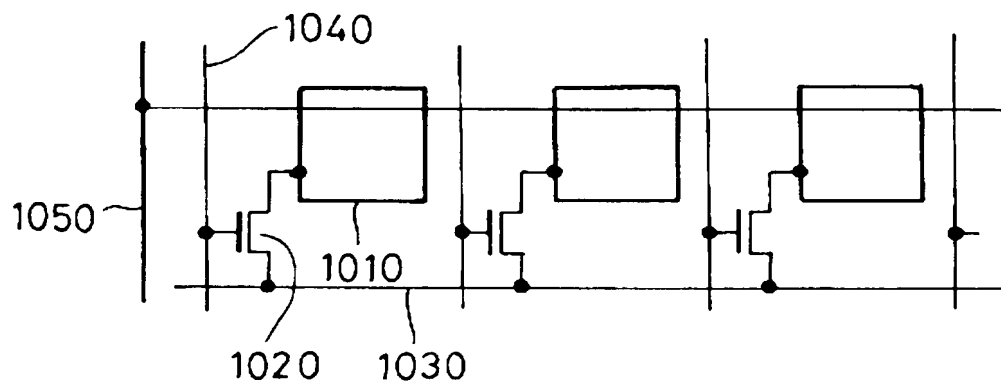
【図 13】



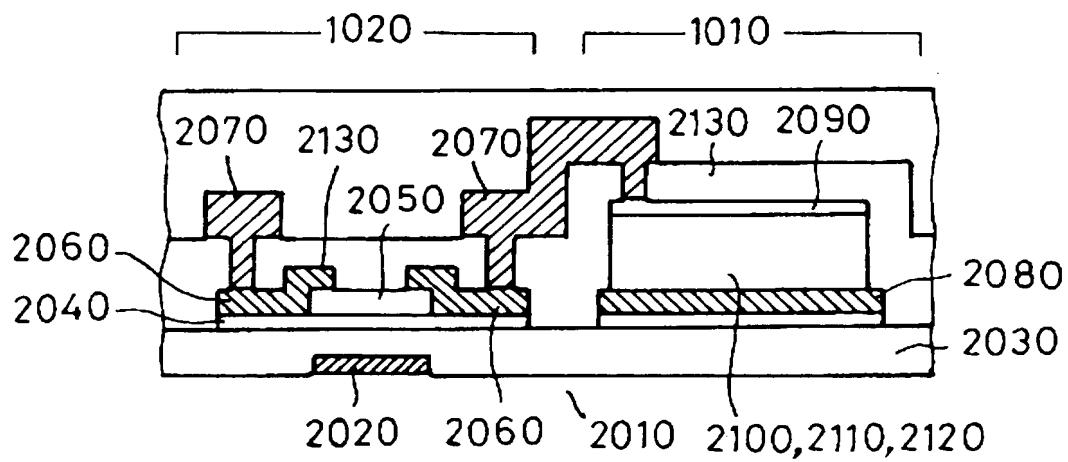
【図 14】



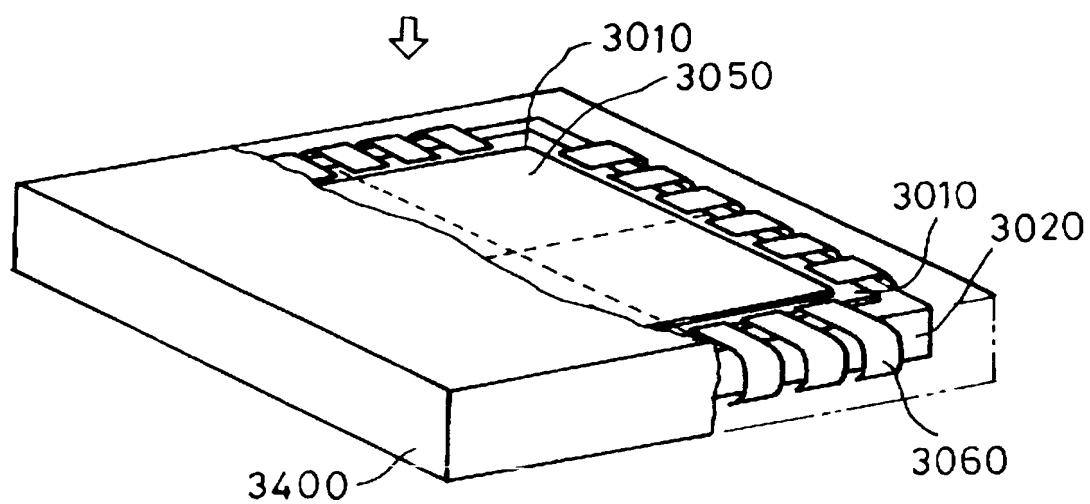
【图 15】



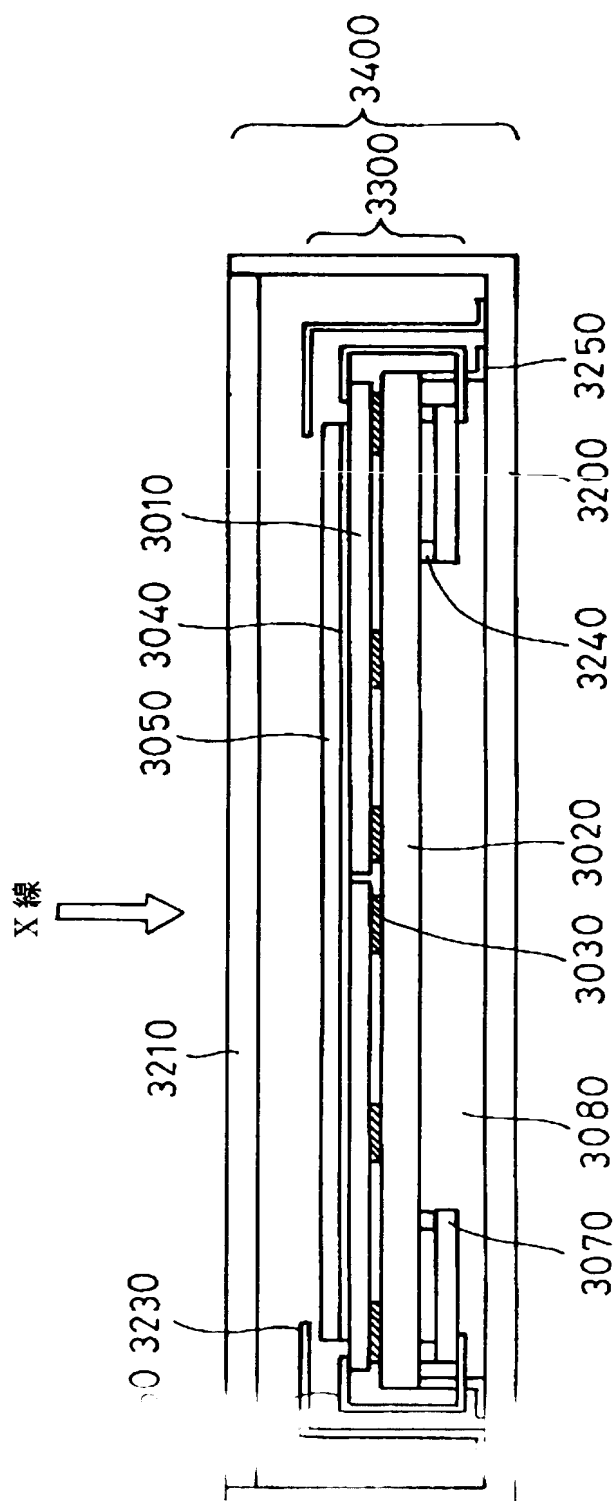
【图 16】



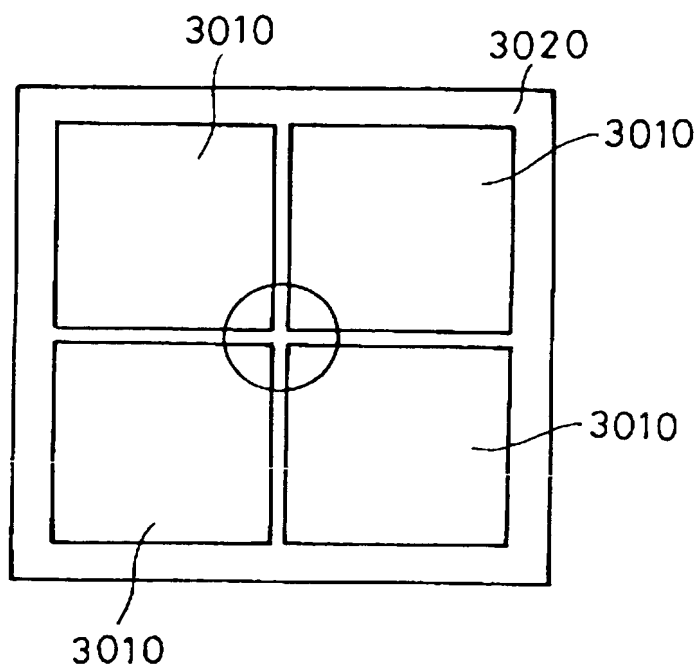
【図 1 7】



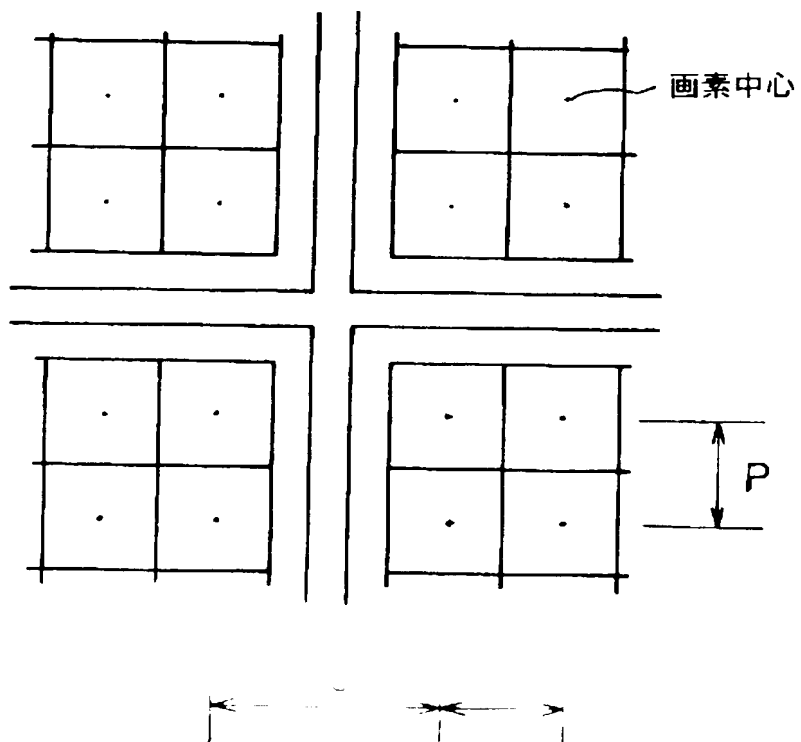
【图 18】



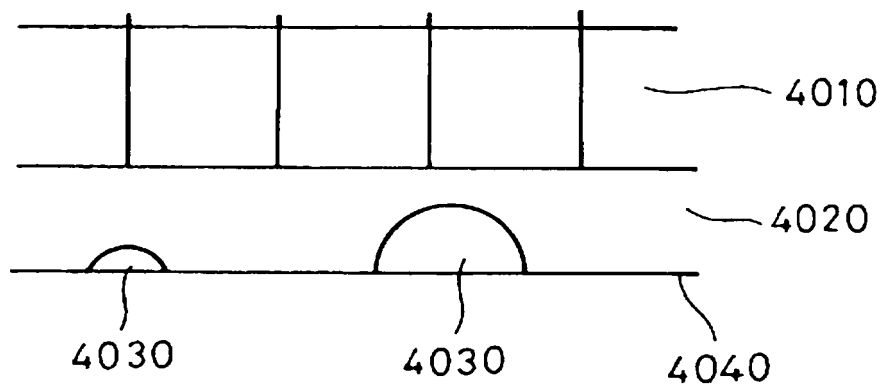
【图 1 9】



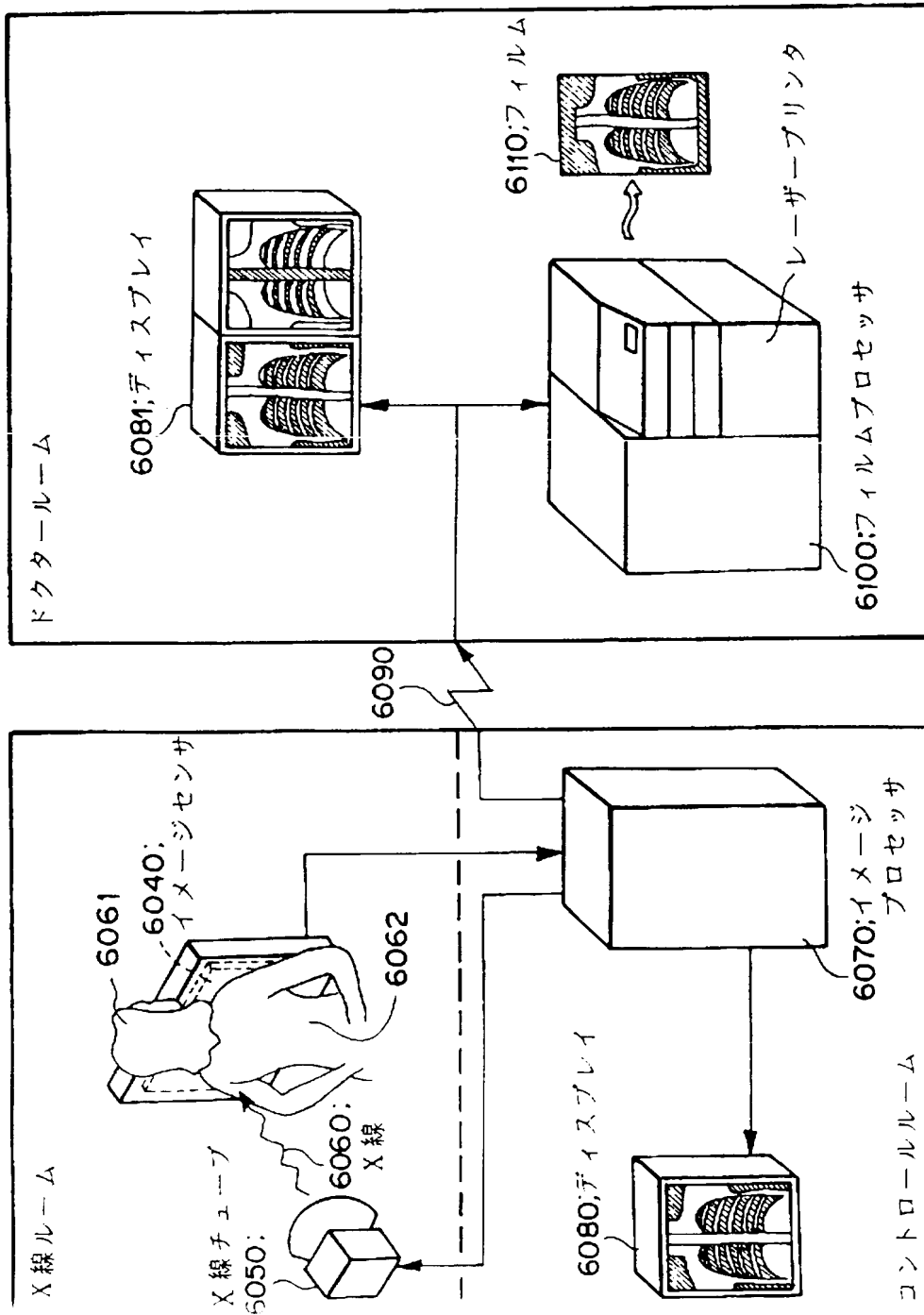
【图 2 0】



【図 2 1】



【図 22】



【書類名】 要約書

【要約】

【課題】 大面積パネル、または、パネル周辺部のスペースを極小化した、狭額縁パネルの製造を、安定に且つ高歩留りで可能とするような、構成の半導体装置を提供する。

【解決手段】 基板上に複数の薄膜トランジスタ（以下、TFT）により、複数の画素が構成されているTFT基板において、TFT基板の周囲に一定電位に接続された周囲配線Scが接地されている。基板上に複数のTFTにより、複数の画素が構成されているTFT基板を有する半導体装置において、TFTの駆動配線が配線抵抗Rsを介してそれぞれ接続され、TFT基板の1画素は、TFTと光電変換素子とから構成され、光電変換素子のバイアス配線とTFTの駆動配線が接続されており、TFT基板の周囲にTFT基板切断用のスライスラインを有し、スライスラインとTFTとの間に周囲配線を有する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 1 - 1 3 1 1 7 1
受付番号	5 0 1 0 0 6 2 8 5 5 8
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 3 年 5 月 7 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】	000001007
【住所又は居所】	東京都大田区下丸子 3 丁目 3 0 番 2 号
【氏名又は名称】	キャノン株式会社

【代理人】

申請人	
【識別番号】	100065385
【住所又は居所】	東京都港区虎ノ門五丁目 1 3 番 1 号 虎ノ門 4 0 森ビル 山下国際特許事務所
【氏名又は名称】	山下 穰平

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キヤノン株式会社